

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 63-280581

(43)Date of publication of application : 17.11.1988

(51)Int.Cl.

H04N 5/66
G02F 1/133
G09G 3/36
H04N 5/66

(21)Application number : 62-115417

(71)Applicant : SEIKO EPSON CORP

(22)Date of filing : 12.05.1987

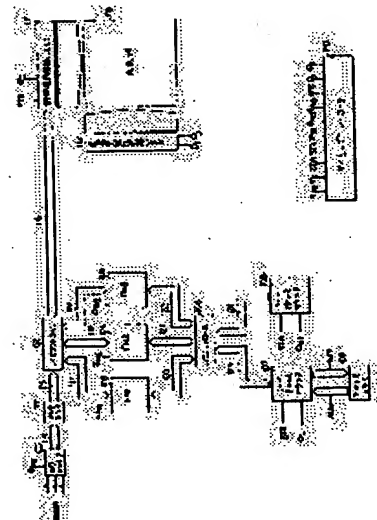
(72)Inventor : BABA HIROYUKI

(54) PICTURE DISPLAY DEVICE

(57)Abstract:

PURPOSE: To attain picture display without flicker with high resolution by adopting 3-series of field memory constitution.

CONSTITUTION: As a picture memory, three series of field memories storing a video signal data for one field period are provided. The three series of field memories 103...105 act like a one field period write only memory and two-field period read only memory by a picture memory drive circuit and the three series of field memories 103...105 act like write only memories equentially by the control. Scanning is applied at a double speed of the conventional scanning and video signal data of odd/even number field by 2 fields are transferred to a signal drive circuit 111 during one field. Thus, the vertical resolution is improved and no flicker is caused.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

BEST AVAILABLE COPY

⑫ 公開特許公報(A)

昭63-280581

⑮ Int. Cl.

識別記号

庁内整理番号

⑬ 公開 昭和63年(1988)11月17日

H 04: N 5/66
G 02: F 1/133
G 09: G 3/36
H 04: N 5/66

1 0 2
3 3 0

B-7245-5C
Z-8708-2H
8621-5C
B-7245-5C

審査請求 未請求 発明の数 1 (全7頁)

⑭ 発明の名称 画像表示装置

⑯ 特 願 昭62-115417

⑰ 出 願 昭62(1987)5月12日

⑱ 発 明 者 馬 場 宏 行 長野県諏訪市大和3丁目3番5号 セイコーエプソン株式会社内

⑲ 出 願 人 セイコーエプソン株式会社 東京都新宿区西新宿2丁目4番1号

⑳ 代 理 人 弁理士 最 上 務 外1名

明細書の浄書(内容に変更なし)

明 細 書

1. 発明の名称

画像表示装置

2. 特許請求の範囲

(1) a) 奇数フィールドと偶数フィールドとに分割して、映像信号が伝送されるインタレース方式映像信号の画像表示装置において、

b) 画像メモリとしては、1フィールド期間の映像信号データを記憶するフィールドメモリを3系列有し、

c) 前記フィールドメモリからの映像信号データをうけて、表示部の信号側駆動信号を発生する信号側駆動回路、

d) 表示部の走査側駆動信号を発生する走査側駆動回路、

e) 前記3系列のフィールドメモリが、各々1フィールド期間書き込み専用メモリ、2フィールド期間読み出し専用メモリとして働き、フィールド毎に、3系列のフィールドメモリが、順次書き込み専用メモリとして働く様に制御する画像

メモリ駆動回路で構成されることを特徴とする画像表示装置。

(2) a.) 前記画像メモリ駆動回路は、或るフィールドにおいては、水平信号期間毎に、該フィールドの映像信号データが或るフィールドメモリに、書き込まれると同時に、

b) 残り2系列のフィールドメモリに、各々記憶されている該フィールドの1フィールド、2フィールド前の奇数、偶数フィールドの映像信号データが、各々1水平期間の前半と後半で読み出され、信号側駆動回路へ転送され、

c) 前奇数、偶数フィールドの映像信号データは、走査側駆動の奇数行走査のタイミングでは、奇数フィールド映像信号データが表示部に転送され、偶数行走査のタイミングでは、偶数フィールド映像信号データが表示部に転送されることを特徴とする特許請求の範囲第1項記載の画像表示装置。

3. 発明の詳細な説明

[産業上の利用分野]

本発明は、液晶等を表示部に用いた画像表示装置における画像表示方法に関し、特にテレビ等で奇数フィールド、偶数フィールドとに分割して、映像信号が伝送されるインタレース方式映像信号を用いて、ノンインタレース表示を行なう画像表示方法に関する。

〔従来の技術〕

現在、主として液晶を表示部に用いた画像機器（例えば小型TV）が商品化されている。いまのところ、それらの表示部は小型のために、映像信号、特にTV用映像信号による画像表示では、奇数および偶数フィールドの各フィールドに分割された映像信号のフィールドにわたって誘導する二つの走査線の映像信号を表示部の同一行に表示する方式をとっている。すなわち表示部の走査側の行数は約220～240本となり、通常のテレビに比べて半分の縦方向の解像度となる。また、表示部の書き換え周波数は60Hzとなって、液晶を表示部に用いても、フリッカは気にならない。

〔発明が解決しようとする問題点〕

3系列有し、

c) 前記フィールドメモリからの映像信号データをうけて、表示部の走査側駆動信号を発生する信号側駆動回路。

d) 表示部の走査側駆動信号を発生する走査側駆動回路。

e) 前記3系列のフィールドメモリが、各々1フィールド期間書き込み専用メモリ、2フィールド期間読み出し専用メモリとして働き、フィールド毎に、3系列のフィールドメモリが、順次書き込み専用メモリとして働く様に制御する画像メモリ駆動回路で構成されることを特徴とする画像表示方法。

(2) a) 前記画像メモリ駆動回路は、或るフィールドにおいては、水平信号期間毎に、該フィールドの映像信号データが或るフィールドメモリに、書き込まれると同時に、

b) 残り2系列のフィールドメモリに、各々記憶されている該フィールドの1フィールド、2フィールド前の奇数、偶数フィールドの映像信号

しかしながら、従来のような小型の画像表示では見づらく、また解像度も劣る。そこで、表示部の大型化も開発が進んでいるが、例えば液晶表示部の場合に、走査側の行数を現在の2倍の440～480本にして、通常のテレビと同じようにインタレース駆動しようとする、表示部の書き換え周波数は30Hzとなって、フリッカが目立つ。

本発明は、上記のような問題点に鑑みて、インタレース映像信号でも、ノンインタレース駆動することにより、液晶を用いた表示部の場合においてもフリッカがなく、解像度の高い画像表示方法を提供することを目的とする。

〔問題点を解決するための手段〕

本発明では上記目的を達成するために、

(1) a) 奇数フィールドと偶数フィールドとに分割して、映像信号が伝送されるインタレース方式映像信号の画像表示において、

b) 画像メモリとしては、1フィールド期間の映像信号データを記憶するフィールドメモリを

データが、各々1水平期間の前半と後半で読み出され、信号側駆動回路へ転送される。

c) 前記奇数、偶数フィールドの映像信号データは、走査側駆動の奇数行走査のタイミングでは、奇数フィールド映像信号データが表示部に転送され、偶数行走査のタイミングでは、偶数フィールド映像信号データが表示部に転送されることを特徴とする特許請求の範囲第1項記載の画像表示方法を提供する。

〔作用〕

前記のような構成によれば、各フィールドにおいて、各々のフィールドの1水平期間の映像信号データは、1水平期間の間に、該フィールド期間書き込み専用メモリとして働いているフィールドメモリに書き込まれる。また、走査速度は、1/2水平期間で1行走査する。即ち、1水平期間中に奇数行、偶数行の2行走査し、奇数行走査の場合は、2系列ある読み出し専用メモリの中で、奇数フィールドの映像信号データが記憶されているフィールドメモリのデータが、信号側駆動回路へ

転送され、偶数行走査の場合は、残り1系列の読み出し専用メモリに記憶されている偶数フィールドの映像信号データが、信号側駆動回路へ転送される。即ち、通常の走査の倍の速度で走査し、1フィールドの間に、奇数、偶数フィールドの2フィールド分の映像信号データが、信号側駆動回路へ転送される為、垂直方向の解像度は、通常駆動の倍になり、画像データの書き換え周波数も60 HZとなって、表示部に液晶を用いても、フリッカが生じないノンインタレース表示が可能となる。
(実施例)

以下に本発明の一実施例を図面をもとに説明する。

第1図は、本発明による画像表示方法を実現する画像表示装置のブロック図である。110はタイミングコントローラで $\Phi\omega 2$ から $\Phi\gamma$ までの各種タイミング信号を発生する。タイミングコントローラ110の構成は第2図に示されている。

タイミングコントローラ110は、基本的にはPLL (Phase Locked Loop)

203の最終出力信号と複合同期信号中の水平同期信号との位相比較した信号を出力する。同信号は、ローパスフィルタ (LPE) で直流化され、VCO201の制御電圧を形成する。複合同期信号は、同時に奇数フィールド1偶数フィールド (O/E) 識別回路206と周波数分離回路207へ入力される。O/E識別回路206では、偶数フィールドと奇数フィールドとを識別し、周波数分離回路207では垂直同期信号を識別する。いずれの信号も走査側タイミング回路208へ入力されている。208には、分周器203の最終信号も入力されていて、走査で必要となるタイミング信号DYと $\Phi\gamma$ を出力する。各信号の機能を以下に示す。

$\Phi\omega 2$: A/Dコンバータ100での映像信号サンプリングクロック及びライトアドレスカウンタクロック

STW: 映像データ書き込み開始信号

STR: 映像データ読み出し開始信号及びアドレスメモリ109でのアドレスラッチ信号

回路である。201は電圧制御発振器 (VCO) である。本発明では表示部113 (第1図) の水平方向の画素数を640個と想定する。テレビ信号の場合には、1Hの約75%に有効画像があると考えられるから、1Hは、

$$640 \div 0.75 = 854 \text{ 画素}$$

から成っていると考えることができる。したがって、VCO201の発振周数 f_{vco} は、 $f_{vco} = 2 \times 854 \times 15734 \text{ (HZ)} = 26.88 \text{ (MHZ)}$ である。VCO出力は、信号 $\Phi\omega 2$ として出力される一方、1/2分周器202で分周される。その出力は、信号 $\Phi\omega 2$ となる一方、分周器203へ入力される分周器203は1/854分周器であって、その最終段の出力はPLLがロック状態にある時、水平同期信号と周波数が等しい。また、分周器203の各段の出力は、信号側タイミング回路209へも出力されている。209は、デコードよりなっていて、信号側で必要となるタイミング信号STWからADSまで出力する。205は位相比較器 (PC) であって、分周器

$\Phi m1$ 、 $\Phi m2$ 、 $\Phi m3$: FM103、104、105の各々メモリにおける書き込み、読み出し、複合クロック

ADS: リードアドレスカウンタ107でのアドレスプリセット信号

DY: 走査側駆動回路 (SD) 112内のシフトレジスタのデータ信号

$\Phi\gamma$: SD112内のシフトレジスタのクロック信号

第1図において、R、G、Bで各映像信号は、A/Dコンバータ100で、サンプリングクロック $\Phi\omega 2$ によって、R、G、B別に、4bitデジタル信号114に変換される。RGB4bitデジタル信号114は、マルチプレクサ101で、表示部113の画素配列に対応して、RGB各データがマルチプレクスされ、複合色データ115として出力される。複合色データ115は、バスコントロール102によって、或るフィールドで、フィールドメモリFM1に転送されると、次のフィールドでは、FM2に転送され、その

次のフィールドでは、FM3に転送されるという様に、フィールド毎に、3系列フィールドメモリに順次転送される。

前記複合色データ115の転送に同期して、各フィールドメモリは、書き込み専用メモリとして働き、メモリのアクセスは、バスコントロール106によって、ライトアドレスカウンタ108のカウンタ出力のメモリアドレスに対応して、書き込み、読み出し複合クロック $\Phi m1$ 、 $\Phi m2$ 、 $\Phi m3$ のタイミングで各フィールドメモリがアクセスされる。ライトアドレスカウンタ108は、映像データ書き込み開始信号STWでカウントを開始し、ライトアドレスカウンタクロック $\Phi \omega 2$ のタイミングでカウントする。

次に、各フィールドメモリに書き込まれたデータの読出し動作について説明する。

各フィールドメモリは、2フィールド期間中、読み出し専用メモリとして働く。各フィールドメモリのアクセスは、書き込み、読み出し複合クロックのタイミングでアクセスされ、メモリのアド

レスは、バスコントロール106によって、読み出し専用メモリのアドレスとして、リードアドレスカウンタ107の出力が割り当てられる。リードアドレスカウンタは、映像データ読み出し開始信号STRで、カウント開始し、PLLのVCO出力 Φc のタイミングでカウントアップする。

ここで、或るフィールドにおいて、FM1が書き込み専用メモリ、FM2、FM3が読み出し専用メモリとして働く場合を考える。

FM1が書き込み専用メモリとして働くので、バスコントロール102を介して、映像データがFM1に転送され、書き込み、読み出し複合クロック $\Phi m1$ のタイミングで書き込まれる。該フィールドでは、書き込み動作なので、 $\Phi m1$ の中で、書き込みクロック部分が割り当てられ、クロック周波数としては、A/Dコンバータ100のサンプリングクロック $\Phi \omega 2$ と同等である。

また、該フィールドでは、FM2、FM3が、読み出し専用メモリとして働く為、書き込み、読み出し複合クロック $\Phi m2$ 、 $\Phi m3$ は、ロウレベルと

なっている。(各フィールドメモリは、読み出し時、制御信号ロウアクティングの場合)そして、リードアドレスカウンタ107の出力が、バスコントロールを介して、FM2、FM3のアドレスとしてアクセスする。リードアドレスカウンタは、映像データ読み出し開始信号STRで、カウントを開始し、クロック Φc でカウントアップする。ここで、FM2に奇数フィールド、FM3に偶数フィールドデータが書き込まれている場合、奇数行を走査している1/2水平期間の間に、FM2に書き込まれている1水平期間のデータが読み出されて、バスコントロール102を介して、信号側駆動回路111に転送される。その時、アドレスメモリ109でのアドレスラッチ信号STRのタイミングで、読み出し開始時点のリードアドレスが、アドレスメモリ109にラッチされる。そして、次の偶数行を走査している1/2水平期間の間に、前奇数行のタイミングで、FM2から読み出された1水平期間と同等の1水平期間の偶数フィールドにおけるデータが、FM3から読み

出される。この時、奇数フィールドと偶数フィールドとで、別系列のフィールドメモリが割り当てられてるが、同等の水平期間のデータは、各メモリにおいて、同一アドレスに記憶されている。従って、奇数行走査の後、偶数行を走査する時は、奇数行走査の時に読み出したメモリアドレスを、再度アクセスする必要がある。従って、偶数行走査の時に、偶数フィールドデータを読み出す時は、奇数フィールドデータ読み出し開始のメモリアドレスを、一旦メモリアドレスにラッチしておき、偶数フィールドデータを読み出す時に、リードアドレスカウンタ107でのアドレスプリセット信号で、リードアドレスカウンタのアドレスをプリセットする。

107は、信号側駆動回路(DD)である。DD107は、内部にシフトレジスタを含み、データバス116を介して転送されてくる映像データを時系列的にシリアルに取りこみ、パラレル(並列的)の信号側駆動信号を発生する。信号STRにより、シフトレジスタは始動し、信号 Φc で内

部データをシフトしてゆく。

112は、走査側駆動回路(SD)である。SD112はシフトレジスタ構成になっており、信号DYで始動し、信号φ_yで内部データが転送されて走査側駆動信号を発生する。

113は、液晶等と表示体を用いた表示部であり、DD111とSD112によって順次駆動される。

第3図に、表示部109の周辺構成図を示す。301は、表示部、302は、信号側駆動回路(DD)(第1図の111)である。走査側駆動回路112は、表示部301の奇数行駆動用(SDO)303と偶数行駆動用(SDE)に分割され、相互に一行おきに走査側駆動信号を発生する。

第4図に、各フィールドメモリのアクセス動作を示す。奇数N(odd N)フィールドにおいては、FM1が書き込み専用メモリ、FM2、FM3が読み出し専用メモリとして働く、FM1には、odd Nフィールドの各水平期間の映像データが、1水平期間の間に書き込まれる。FM2に

は、偶数N-1(Even N-1)フィールドのデータが書き込まれており、FM3には、Odd N-1フィールドデータが書き込まれている。そして、例えば2m-1水平期間の前半では、FM3のOdd N-1フィールドの2m-1水平期間のデータが読み出され、2m-1水平期間の後半では、FM2のEven N-1フィールドの2m-1水平期間のデータが読み出される。

以下、Even Nフィールド、Odd N+1フィールドとフィールド毎に、読み出し、書き込み動作が、3系列のフィールドメモリ間で順次ローテーション駆動される。

第5図に、第3図の構成による走査側駆動回路の動作タイムチャートを示す。

本図は、走査電極を、偶数行、奇数行に左右分割して、相互に一行おきに走査側駆動信号を発生する場合を示す。

(発明の効果)

以上のように本発明によれば、3系列のフィールドメモリ構成によって、奇数及び偶数フィール

ドに分割されたインターレース映像信号で、ノンインタレス表示を行なうことが可能となる。従って、従来のインタレス駆動と比較して、垂直方向の解像度が大幅に向上する。また、画像の書き換え周波数も60Hzとなり、液晶を表示部に用いた場合でもフリッカを起こすことはない。

4. 図面の簡単な説明

第1図は本発明による画像表示方法を実現するための画像表示装置の構成図

第2図はタイミングコントローラ110の構成図

第3図は表示部113の周辺の構成図

第4図はフィールドメモリアクセス動作説明図

第5図は走査側駆動回路タイムチャート

100…A/Dコンバータ、101…マルチプレクサ、103、104、105…フィールドメモリ、106、102…バスコントロール、107…リードアドレスカウンタ、108…ライトアドレスカウンタ、111…信号側駆動回路、112…走査側駆動回路、113…表示部、110…

タイミングコントローラ、109…アドレスメモリ

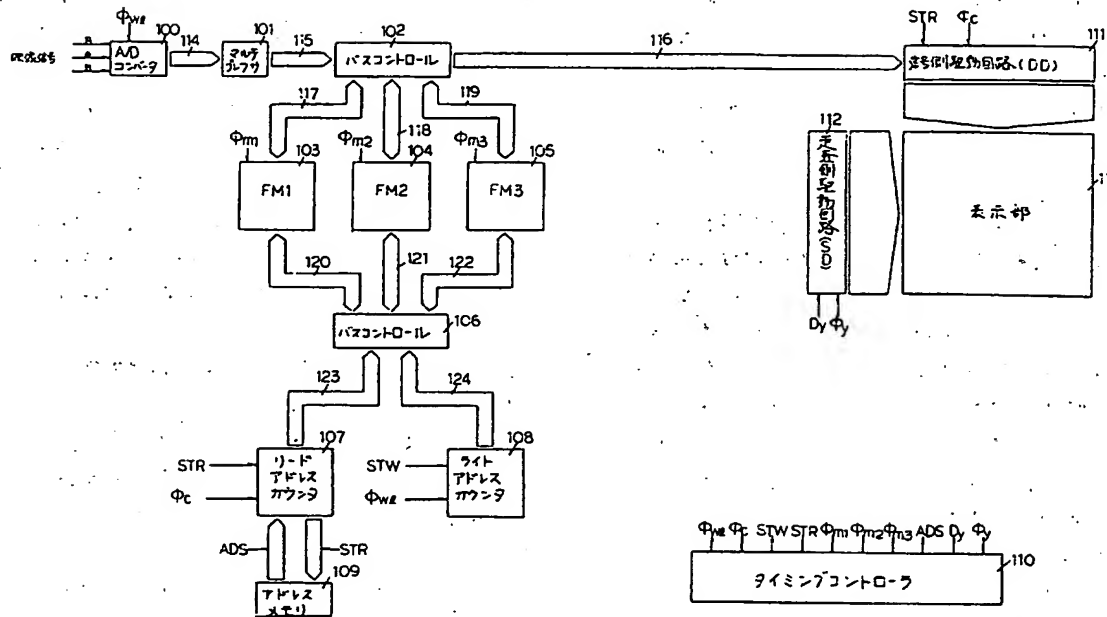
以上

出願人 セイコーエプソン株式会社

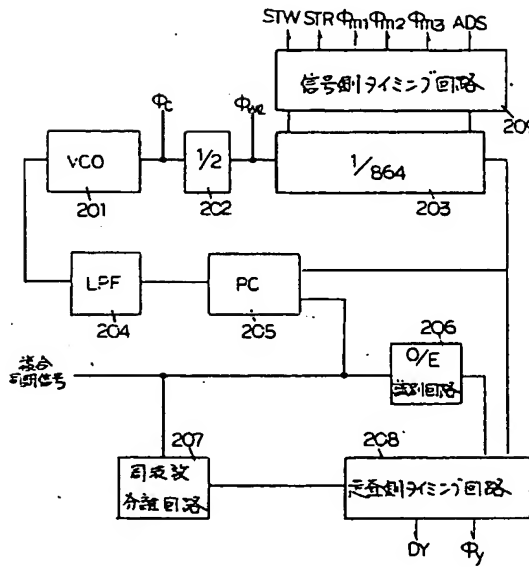
代理人弁理士 最上務他1名



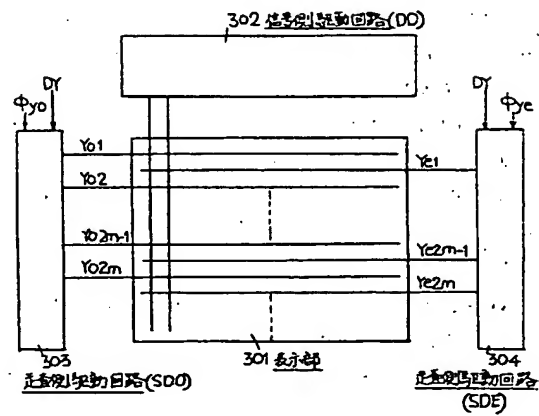
図面の符号(内容に変更なし)



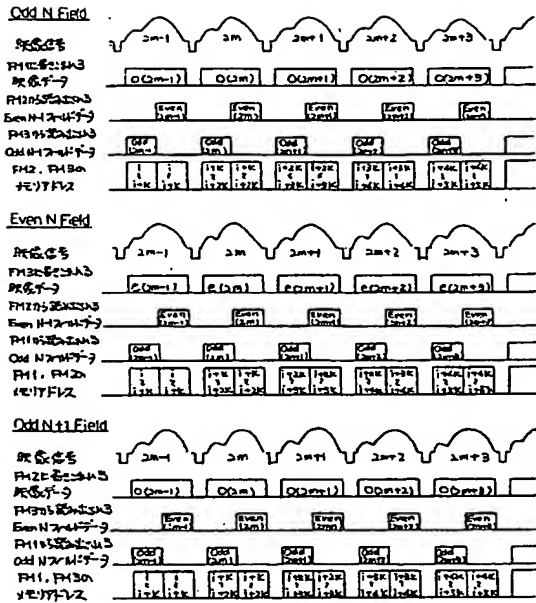
第 1 図



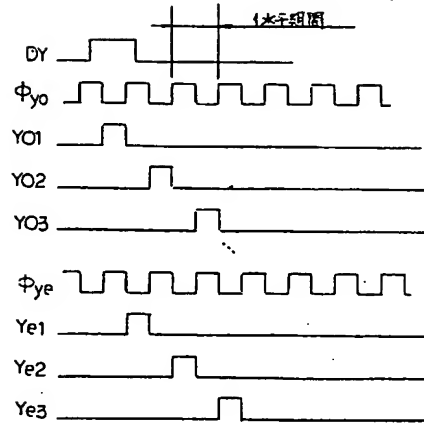
第 2 図



第 3 図



第 4 図



第 5 図

手続補正書(目録)

昭和 62 年 5 月 20 日

特許庁長官 黒田 明雄 殿

1. 事件の表示
昭和 62 年 5 月 12 日付提出の特許願

2. 発明の名称
画像表示装置

3. 補正する者
事件との関係 出願人
東京都新宿区西新宿 2 丁目 4 番 1 号
(236) セイコーエプソン株式会社
代表取締役 服部 一郎

4. 代理人
〒104 東京都中央区京橋 2 丁目 6 番 21 号
株式会社服部セイコー内 最上特許事務所
(4564) 弁護士 最上 謙
連絡先 563-2111 内線 631~640 担当 林

5. 補正の対称
願書、明細書(全文)及び図面(全図)持書
(内容に変更なし)